

基于FPGA的CMOS图像传感器驱动电路设计

应小军, 李瑜煜

(广东工业大学 材料与能源学院, 广东 广州 510006)

摘要: 提出了一种基于现场可编程门阵列(Field Programmable Gata Array, FPGA)的图像实时采集和显示的驱动电路设计方案. 该方案采用了 OmniVision 公司的 OV7670 CMOS 图像传感器, 选用 Altera 公司 Cyclone II 系列 EP2C8Q208C8N 作为逻辑控制芯片 FPGA, 构建了图像传感器驱动电路, 并用 Modelsim 进行仿真验证. 仿真结果表明, 系统能够很好地满足设计时序要求, 并输出稳定的图像.

关键词: 图像传感器; FPGA; I2C; CMOS 图像传感器

中图分类号: TP212 **文献标志码:** A **文章编号:** 1007-7162(2015)01-0071-04

Design of Drive Circuit of CMOS Image Sensor Based on FPGA

Ying Xiao-jun, Li Yu-yu

(School of Materials and Energy, Guangdong University of Technology, Guangzhou 510006, China)

Abstract: The paper proposes a project of drive circuit of real-time image capturing and displaying based on FPGA. The OmniVision's OV7670 is chosen as CMOS image sensor, while Altera's Cyclone II series EP2C8Q208C8N as the logic control chip. The drive circuit has been verified by Modelsim. The simulation results show that the system meets the requirements of timing and stable image output perfectly.

Key words: image sensor; field programmable gata array (FPGA); I2C; CMOS image sensor

CMOS 图像传感器是近些年发展较快的一种新型图像传感器. 与 CCD 相比, CMOS 图像传感器具有体积小、成本低、重量轻、功耗低、编程方便、易于控制等优点. CMOS 图像传感器已经广泛应用于各种通用图像采集系统中. 随着 CMOS 集成电路设计和工艺的不断进步和完善, CMOS 正在朝着高分辨率、高灵敏度、低噪声、大动态范围、高智能化的方向不断发展^[1-5]. 采用 FPGA 作为主控芯片, 整个系统具有设计方便、仿真简单和传送高速数据时有更小的高频噪声干扰等优势^[6-8]. 因此, 提出基于 FPGA 的 CMOS 图像传感器实时采集和显示的设计方案, 为图像检测系统项目的研究提供了有价值的设计参考.

1 系统结构

系统整体结构包括 4 部分: CMOS 图像传感器图像数据采集模块、FPGA 逻辑控制模块、SRAM 读写模块及 VGA 显示模块. 图 1 为系统结构框图.

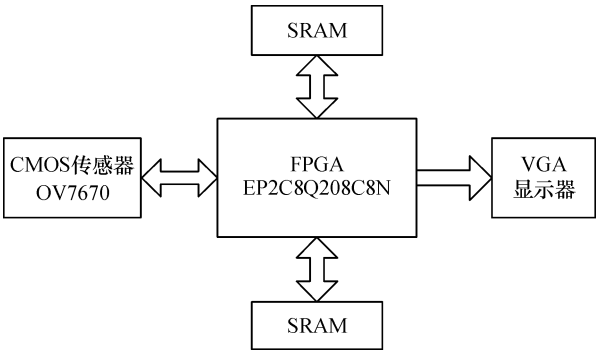


图1 系统结构框图

Fig. 1 Diagram of the circuit system structure

系统以 Altera 公司的 FPGA(现场可编程逻辑器件)EP2C8Q208C8N 作为逻辑控制器^[9], 利用 I2C (Inter-Integrate Circuit) 总线配置 CMOS 图像传感器, 采用两片 SRAM (静态随机存储器) 进行乒乓读写. FPGA 根据 CMOS 图像传感器输出的同步信号, 将 CMOS 图像传感器采集到的图像数据存储到其中

一片 SRAM 中,同时读取另外一片 SRAM,送到 VGA 显示器进行显示. 整个系统的时序控制和数据流的读写控制都由 FPGA 来完成.

2 电路设计

本文采用自顶向下的模块化设计思想,在 Quartus II 平台下用 Verilog 硬件描述语言来描述整个驱动电路. 如图 2 所示,系统由以下 4 部分构成:时钟模块、图像采集模块、存储器控制模块、VGA 显示模块.

时钟模块把输入 FPGA 的 20MHz 时钟进行倍频,生成 25MHz 与 50MHz 时钟,分别输入 VGA 显示模块和存储器控制模块. 图像采集模块的输入时钟

为 20MHz,该模块由 I2C 配置模块和图像数据采集模块构成,图中所示为 cmos_i2c 与 cmos_work 两大模块. 在 cmos_i2c 模块中对寄存器进行配置,输出时钟 SIO_C 与双向数据 sio_d. cmos_work,主要完成取亮度信号的同时过滤掉色差信号的功能,最后输出写地址信号 w_address 与数据 w_data. 存储器控制模块对两片 SRAM 进行乒乓操作,即主要对图像采集模块输出的数据 w_data 进行乒乓读写. 上述乒乓操作主要是由 read_over 与 write_over 两个输入信号进行 SRAM 读写切换,即采集到的数据进行 SRAM 存储与 SRAM 数据输出至 VGA 显示模块. 最终, VGA 显示模块对 VGA 显示的时序进行控制,达到很好的 VGA 显示效果.

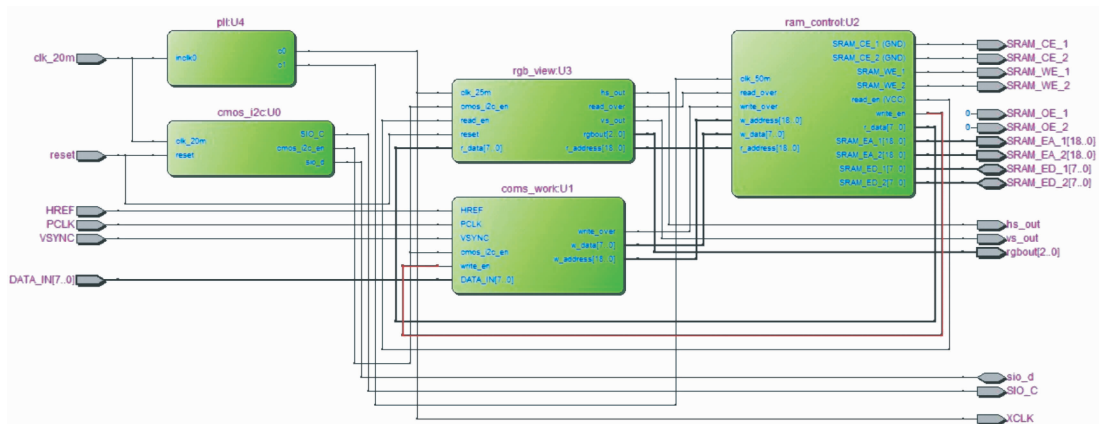


图 2 电路原理图

Fig. 2 Schematic diagram of circuit

2.1 图像采集模块

图像采集模块由 I2C 配置模块和图像数据采集模块构成^[10-11]. OV7670 图像传感器的初始化配置由 SCCB 总线接口编程完成,可以输出整帧、子采样、取窗口等方式的各种分辨率 8 位影响数据. 用户可以完全控制图像质量、数据格式和传输方式. 所有图像处理功能过程包括伽玛曲线、白平衡、饱和度、色度等都可以通过 SCCB 接口编程^[12]. 而用于 OV7670 图像传感器配置的 SCCB 总线与 I2C 总线类似,它是一种双向二线制同步串行总线^[13]. 因此,本文采用 I2C 总线对 OV7670 图像传感器进行配置. 本设计只对主要的几个寄存器进行重新配置,其他采用默认设置.

图像数据采集模块主要完成对 I2C 总线上的主从设备(传感器和其内部寄存器)的起始、读写和停止的时序控制^[14]. 首先,要对 OV7670 内部寄存器进行配置,当 write_en = 1 时, FPGA 向 OV7670 发送写地址 0X42,然后 OV7670 向 FPGA 发送应答信号;

FPGA 收到应答后,发送要进行写操作的寄存器的地址,然后 OV7670 向 FPGA 发送应答信号, FPGA 收到应答后再发送写入该寄存器的数据,这样对每个寄存器依次进行写操作,其中发送每个地址和数据必须应答. 当 write_en = 0 时,对 OV7670 内部寄存器进行读操作,过程和写操作类似,而本文主要对其进行配置,也即对 OV7670 进行写操作. 图 3 为 I2C 时序控制流程图.

2.2 存储器控制模块

本文采用两片 SRAM 存储器进行乒乓操作,存放分辨率 640 × 480 每帧的图像数据. 两块 SRAM 通过寄存器 wren 来进行切换,当 wren = 1 时读出寄存器 SRAM_ED_2 中的数据,并把读地址 r_address 送入寄存器 SRAM_EA_2,同时向寄存器 SRAM_ED_1 写入数据,并把写地址 w_address 送入寄存器 SRAM_EA_1; 当 wren = 0 时两块 SRAM 切换,此时读出寄存器 SRAM_ED_1 数据,并把读地址 r_address 送入寄存器 SRAM_EA_1,同时向寄存器 SRAM_ED_2 写

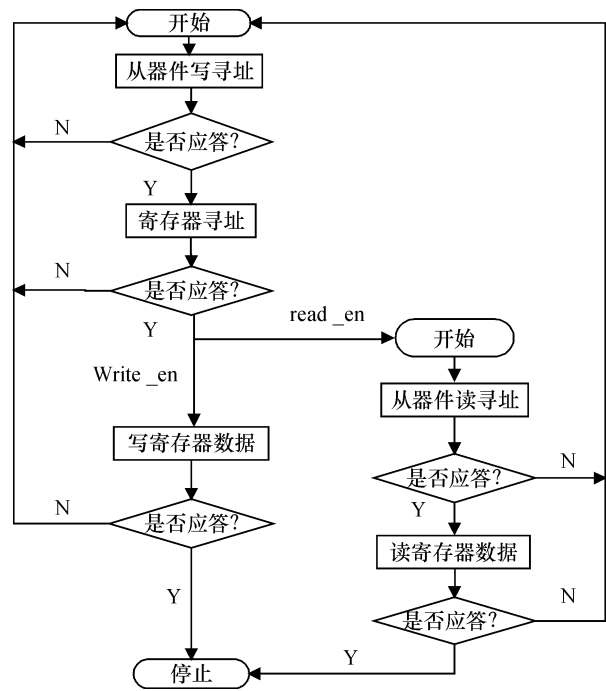


图3 I2C时序控制流程图

Fig.3 Flow chart of I2C timing control

入数据,并把写地址 $w_address$ 送入寄存器 $SRAM_EA_2$. 由于采用乒乓机制,图像数据的采集与显示并行,从而提高了图像采集和显示的效果. 相应 Verilog 代码如下.

```
.....
reg    wren;
assign SRAM_EA_1 = wren ? w_address :
r_address;
assign SRAM_EA_2 = wren ? r_address :
w_address;
assign SRAM_ED_1 = wren ? w_data : 8'hzz;
assign SRAM_ED_2 = wren ? 8'hzz : w_data;
```

```
assign r_data = wren ? SRAM_ED_2 :
SRAM_ED_1;
.....
```

2.3 显示模块

对于普通的 VGA 显示器,共有 5 个信号:R、G、B 三基色信号,行同步信号 HSYNC 和场同步信号 VSYNC. 本系统中,FPGA 产生分辨率 640×480 (约 30 万像素),刷新频率 60Hz 的 VGA 时序信号,包括行同步、场同步及颜色信号^[15]. 其中的颜色信号为灰度信号,即为 CMOS 图像传感器输出的 YUV 格式的信号去除色差信号 U、V 所剩下的亮度信号. 该灰度信号经过电阻网络构成的 D/A 转换电路输出 VGA 显示.

2.4 时钟模块

本系统中,输入 CMOS 图像传感器时钟为 25MHz,SRAM 读写模块时钟为 50MHz,VGA 显示需要 25.175 MHz,系统提供该模块 25 MHz 时钟频率. 而外部晶振是 20MHz,在 Quartus ii 中用 MegaWizard 工具生成倍频模块,调用 FPGA 内部锁相环,进行倍频可得到上述的时钟频率.

3 系统功能仿真结果及分析

3.1 CMOS 采集模块仿真分析

CMOS 采集模块中,输出数据格式为 YUV (也称 YCrCb)4:2:2 的格式,YUV 的输出时序为 Y-U-Y-V. 由于相对于色差信号,人眼对亮度信号 Y 更为敏感,因此,对输入图像数据去除色差信号 U、V,只取亮度信号 Y.

该模块 Modelsim 仿真结果如图 4 所示,首先 CMOS 传感器输出数据为 8 位数据 DATA_IN,给 DATA_IN 的值为图中序列 01-80-2a-e8-5c-48-4d……利用两个 16 位寄存器 data_reg1 和 data_reg2 可以实现分别存储和输出,相当于隔一个 PCLK 时钟取一个 DATA_IN 的值. 最终,整个输出只有亮度信号数据 w_data,而没有色差信号数据.

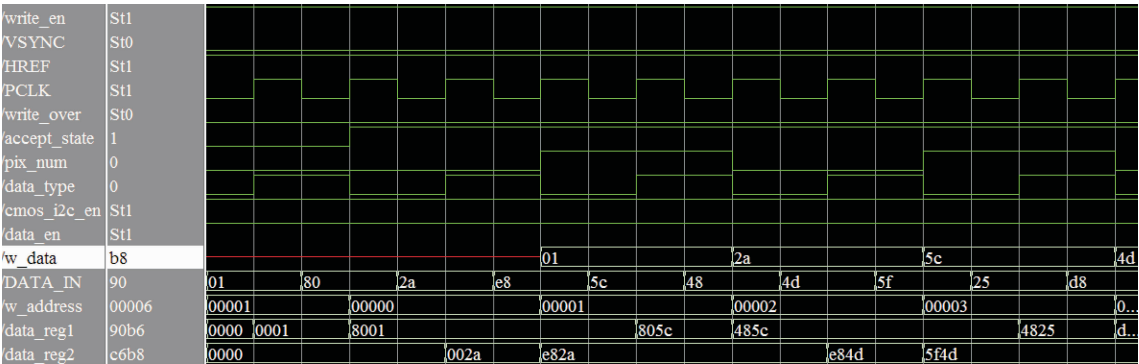


图4 CMOS采集模块仿真波形图

Fig.4 Simulation waveform diagram of CMOS capture module

3.2 SRAM 控制模块仿真分析

在 SRAM 控制模块中,设置 read_en 为 1,即读使能,则 CMOS 采集的数据一直 VGA 输出. 两块 SRAM 通过寄存器 wren 来进行切换. SRAM 控制模块 Modelsim 仿真波形如图 5 所示,当 wren = 1 时把 SRAM_ED_2 设为高阻态,此时读寄存器 SRAM_ED_2 数据,并把读地址 r_address 送入寄存器

SRAM_EA_2,同时向寄存器 SRAM_ED_1 写入数据 w_data,并把写地址 w_address 送入寄存器 SRAM_EA_1;当 wren = 0 时两块 SRAM 读写状态、地址和数据切换. 整个数据的传输在 wren 由 1 变为 0 的时刻进行切换,写入的数据 w_data 分别输出至寄存器 SRAM_ED_1 和 SRAM_ED_2,没有出现丢数据的情况.

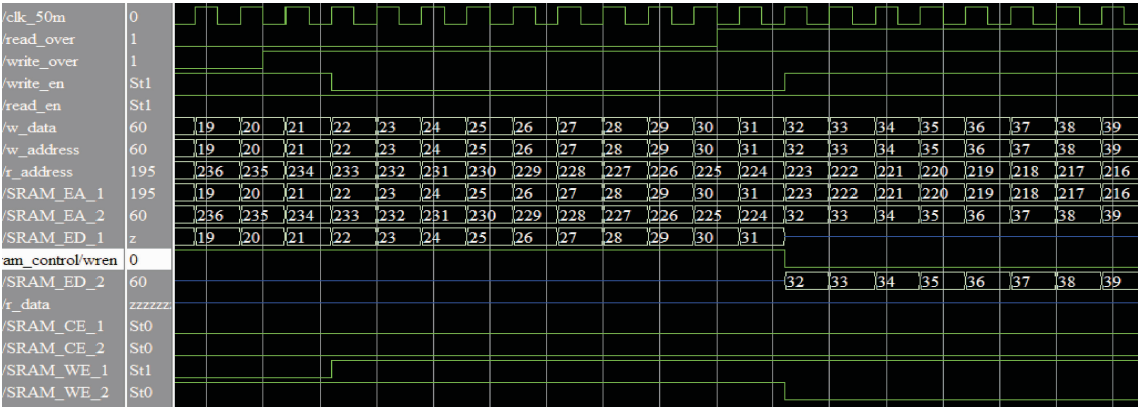


图 5 SRAM 模块仿真波形图
Fig. 5 Simulation waveform diagram of SRAM module

3.3 显示模块仿真分析

VGA 标准输出分辨率为 640 × 480,如图 6 所

示,r_address 计数到 307200 (640 × 480) 时,即为显示一帧图片的像素大小(约 30 万像素).

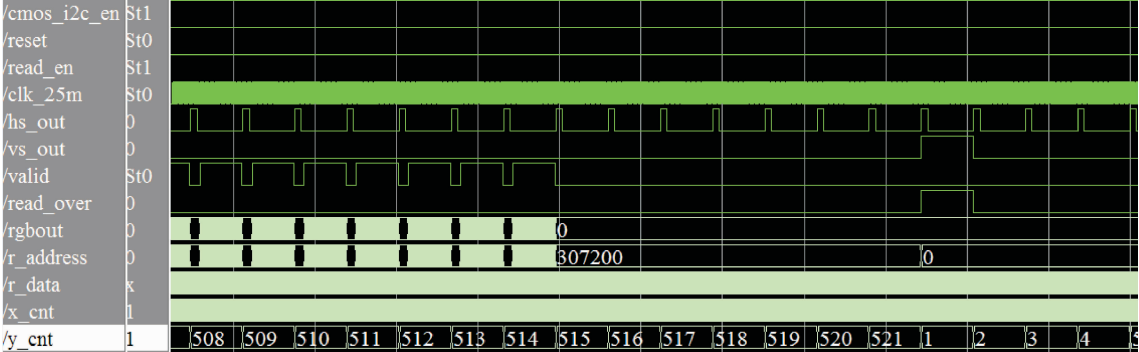


图 6 显示模块仿真波形图
Fig. 6 Simulation waveform diagram of displaying module

4 结论

本系统采用 FPGA 作为逻辑控制芯片,利用 CMOS 图像传感器进行图像采集,两片 SRAM 作为帧存芯片. 仿真结果及显示表明,系统实现了 SRAM 的乒乓操作,设计的 CMOS 图像传感器,其驱动时序表明其能够很好地满足实时图像输出需求,为干电池缺陷在线检测系统的研究提供了有力支持.

参考文献:

[1] 王旭东,叶玉堂. CMOS 与 CCD 图像传感器的比较研究和发展趋势[J]. 电子设计工程,2010,18(11):178-181.
Wang X D,Ye Y T. Comparative research and future tendency between CMOS and CCD image sensor[J]. Electronic

Design Engineering,2010,18(11):178-181.
[2] 程开富. CMOS 图像传感器的最新进展及其应用[J]. 光电机信息,2003(1):16-26.
Cheng K F. CMOS image sensor and its application of the latest[J]. OME Information, 2003(1):16-26 .
[3] Sunetra K M, Sabrina E K, Russell C G, et al. CMOS active pixel image sensors for highly integrated image systems [J]. IEEE Journal of Solid State Circuit, 1997, 32 (2): 187-197.
[4] Blank N Z. CCD versus CMOS - has CCD imaging come to an end[J]. Photogrammetric Week, 2001(1),131-137.
[5] Kleinfelder S, Lim S, Liu X Q, et al. A 10000 frames/s CMOS digital pixel sensor[J]. IEEE Journal of Solid State Circuits,2001,36(12): 2049-2059.